

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000163954 A**

(43) Date of publication of application: 16 . 06 . 00

(51) Int. Cl.

G11C 11/401
G11C 11/407

(21) Application number: 11331093

(22) Date of filing: 22 . 11 . 99

(30) Priority: 24 . 11 . 98 KR 98 9850441

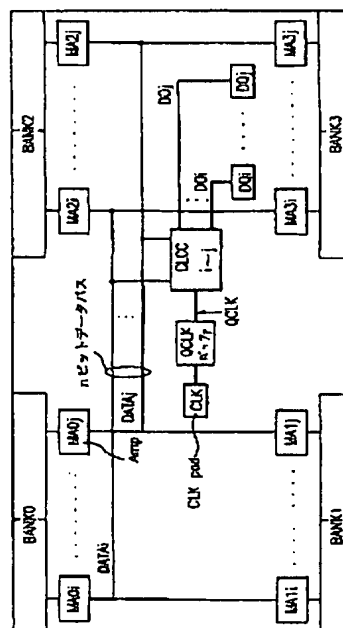
(71) Applicant: **HYUNDAI ELECTRONICS IND CO LTD**(72) Inventor: **KIM DONG KYEUN**
KIM SUNG HOON(54) **ARRANGEMENT OF CAS LATENCY CONTROL CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an SDRAM which gives sufficient CAS latency operation margin even at a high operation frequency.

SOLUTION: The chip for a SDRAM is equipped with plural banks, each of which is provided with (n) main amplifying parts. An n-bit data bus that the main amplification parts share is arranged between two divisions of the banks, and (n) CAS latency control circuits are arranged concentrically between two divisions of banks crossing the two divisions for the arrangement of the data bus at right angles.

COPYRIGHT: (C)2000,JPO



(11)特許出願公開番号

特開2000-163954

(P2000-163954A)

(43)公開日 平成12年6月16日(2000.6.16)

(51) Int.Cl.⁷

識別記号

FI

テーマート* (参考)

G 1 1 C 11/401

G 1 1 C 11/34

3 7 1 K

11/407

3 5 4 C

3 6 2 S

審査請求 未請求 請求項の数5 O.L (全 10 頁)

(21)出願番号 特願平11-331093

(22) 出願日 平成11年11月22日(1999. 11. 22)

(31)優先權主張番号 50441/1998

(32) 優先日 平成10年11月24日(1998. 11. 24)

(33)優先権主張国 韓国 (KR)

(71)出願人 591024111

現代電子産業株式会社

大韓民國京畿道利川市夫鉢邑牙美里山136
-1

(72) 発明者 金東均

大韓民國忠清北道清州市興德區鳳鳴1洞
216-15

(72) 発明者 金聖勲

大韓民国忠清北道清州市興徳区募忠洞342
青松アパートメント1103

(74) 代理人 100064621

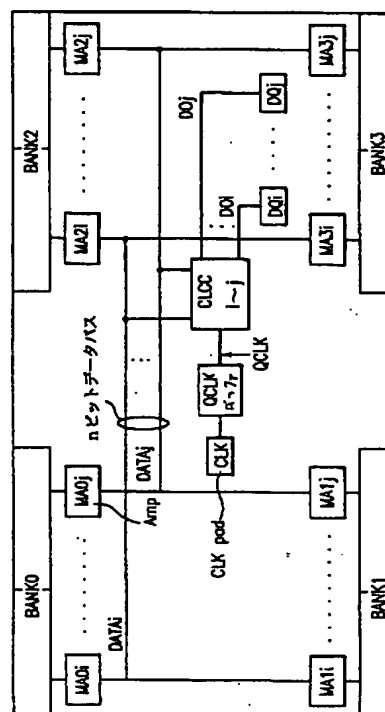
弁理士 山川 政樹

(54) 【発明の名称】 CASレイテンシー制御回路の配置

(57) 【要約】

【課題】 SDRAMで高い動作周波数でもCASレイテンシー動作マージンを十分に持たせるSDRAMを提供する。

【解決手段】 SDRAMのチップは複数のバンクを備え、各バンクにそれぞれn個の主増幅部が設けられている。主増幅部に共有されるnビットデータバスをバンクを二分した間に配置し、n個のCASレイテンシー制御回路をデータバスの配置のための二分とは直交する方向にバンクを二分した間に集中的に配置するようにした。



【特許請求の範囲】

【請求項1】 それぞれ n 個の主増幅部がある複数のバンクと、

前記複数のバンクを二分した間に配列され、前記各主増幅部に共用される n ビットデータバスと、
データバスを配置するために複数のバンクを二分した間と直交する方向で二分したバンクの間に集中的に配置し、各データバスに1対1対応させた n 個のCASレイテンシー制御回路と、

前記各CASレイテンシー制御回路の出力に相互に異なる長さで連結配置される n 個のDQブロックと、
前記の各CASレイテンシー制御回路にクロック信号を印加するためのクロックバッファとを備えることを特徴とするSDRAM。

【請求項2】 前記の各DQブロックは、データ出力バッファ及びデータ出力パッドとを備え、該当データ出力パッドが位置された箇所に配置され、各CASレイテンシー制御回路は、各DQブロックの位置に関係なく、各バンクからほぼ同一距離にそれぞれのバンクの間に集中的に配置されることを特徴とする請求項1記載のSDRAM。

【請求項3】 i 番目のCASレイテンシー制御回路は、それぞれのバンクの i 番目の主増幅部から同一距離になるように配列されることを特徴とする請求項1記載のSDRAM。

【請求項4】 データ出力を調整するクロック信号(CLK)とSDRAMのモードレジスタから伝達される信号(LE2、LE3、LE4)とを入力して、制御信号(con1、con2、con3)を出力する制御回路部と、

前記信号(LE34)とSDRAMのデータを論理演算して出力するANDゲートと、

前記制御回路部の制御信号(con3)によって、前記ANDゲートから出力されるデータを出力またはラッチする第1ラッチ手段と、

前記信号(LE12)とSDRAMのデータを論理演算して出力するNANDゲートと、

前記制御回路部の制御信号(con2)によって、前記第1ラッチ手段から出力されるデータを出力またはラッチするかまたは、前記NANDゲートから出力されるデータを出力またはラッチする選択ラッチ手段と、

前記制御回路部の制御信号(con1)によって、前記選択ラッチ手段から出力されるデータをデータ出力バッファに出力するかラッチする第2ラッチ手段とを含むことを特徴とするCASレイテンシー制御回路。

【請求項5】 前記選択ラッチ手段は、前記制御回路部の制御信号を反転出力するインバーターと、
前記インバーターの出力信号と前記制御信号(con2)によって、前記第1ラッチ手段から出力されるデータ(D1)を反転して通過させるかまたは遮断させる第

1クロックインバーターと、

前記第1クロックインバーターから出力されるデータと、
前記NANDゲートから出力されるデータ(D2)とを論理演算してデータ出力バッファに出力するNANDゲートと、

前記インバーターの出力信号と前記制御信号(con2)によって、前記NANDゲートから出力されるデータを反転させてラッチさせる第2クロックインバーターをとからなることを特徴とする請求項4記載のCASレイテンシー制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シンクロナスDRAM(SDRAM)のCASレイテンシー制御回路の配置に関するもので、特に高い動作周波数でもCASレイテンシー動作マージンを有するSDRAMを提供しようとするものである。

【0002】

【従来の技術】 一般的に、DRAMはキャパシタとトランジスタとの組合からなっているもので、高集積半導体メモリ素子として広く用いられている。しかし、DRAMは/RAS/CASなどのコマンド信号により動作が制御され、Y-アドレス信号によってデータを読み出すので、データを読み取る時間が長く、それと共に速度も遅いという短所を有している。従って、最近ではDRAMの構成における読み取り/書き込みの動作速度が速いSDRAMが開発されて用いられている。

【0003】 このようなSDRAMでの従来のCASレイテンシー制御回路を添付図面を参照して説明する。図1は従来のSDRAMのCASレイテンシー制御回路の配置図であり、図2は従来のCASレイテンシー制御回路の構成図であり、図3は図2のラッチ部構成図であり、図4は図3のクロックインバーターの構成図である。図1は4バンク(BANK0、BANK1、BANK2、BANK3)構造を有する従来のSDRAMを示したもので、各バンクには、それぞれ n 個の2次増幅回路である主増幅部(MA0i-MA0j、MA1i-MA1j、MA2i-MA2j、MA3i-MA3j)が配列されている。SDRAMにはさらに n ビットのデータバスが配列されている。各バンクのそれぞれの主増幅部(MA0i-MA0j、MA1i-MA1j、MA2i-MA2j、MA3i-MA3j)は、同じ添え字 $i \sim j$ で示されたデータバス(DATAi-DATAj)を共有する。図示のように、データバスはバンクを二分した間に配置されている。そして、それぞれのデータバスにCASレイテンシー制御回路(CLCCi-CLCCj)が1対1に対応させて配置されている。すなわち、 i 番目のCASレイテンシー制御回路が i 番目のデータバスに接続されている。

【0004】 一方、一般的な標準SDRAMでは、入出

カピンの位置が定められているので、チップ内部のパッド位置も特定の場所に定められている。図1においてクロック入力であるクロックパッド (CLK pad) はチップの中央部分に配置され、データ出力バッファ及びパッドが含まれたDQブロック (DQ_i-DQ_j) はチップの右側、すなわちBANK 2、BANK 3のある側に分散配置される。配置順序は、通常各データピンの位置に対応するように配置する。

【0005】n個のDQブロック (DQ_i-DQ_j) は、それぞれデータ出力バッファと入出力パッドとを含んでいるので、特定の位置に配置され、n個のCASレイテンシー制御回路 (CLCC_i-CLCC_j) もそれぞれDQブロックに1対1対応させて、DQブロックに隣接した位置に配置されている。すなわち、CASレイテンシー制御回路 (CLCC_i-CLCC_j) の出力が対応するDQブロック (DQ_i-DQ_j) に短い距離で連結されるように配置している。そして、CASレイテンシー制御回路 (CLCC_i-CLCC_j) にクロック信号を与えるQCLKバッファ (QCLK buffer) がクロックパッド (CLK) に隣接した位置に配置される。QCLKバッファから出るクロック信号 (QCLK) を連結しているラインが各CASレイテンシー制御回路 (CLCC_i-CLCC_j) に延びている。

【0006】このような配置を有するSDRAMのCASレイテンシー制御回路の構成は図2のとおりである。データ出力を調整するクロック信号 (QCLK) を入力して、それぞれのラッチ手段 (2、3、4、5) を制御する制御信号 (con1、con2、con3) を出力する制御回路部 (1) と、SDRAMのモードレジスタ (図示せず) から伝達されるCASレイテンシー制御信号の一つ (LE34) と内部データとを論理演算して出力する第1ANDゲート (7) と、制御回路部 (1) からの制御信号の一つ (con3) によって第1ANDゲート (7) から出力されるデータを出力またはラッチする第1ラッチ手段 (2) と、制御回路部 (1) からの制御信号の他の一つ (con2) によって第1ラッチ手段 (2) から出力されるデータを出力またはラッチする第2ラッチ手段 (3) と、制御回路部 (1) からの制御信号のさらに他の一つ (con1) によって、第2ラッチ手段 (3) から出力されるデータを出力またはラッチする第3ラッチ手段 (4) と、制御回路部 (1) からの第3ラッチ手段 (3) への制御信号 (con1) とSDRAMのモードレジスタから伝達されるCASレイテンシー制御信号の他の一つ (LE12) を論理演算する第2ANDゲート (8) と、第2ANDゲート (8) の出力信号によって内部データを出力またはラッチする第4ラッチ手段 (5) と、SDRAMのモードレジスタから伝達される前記CASレイテンシー制御信号 (LE12) によって、第3ラッチ手段 (4) から出力されるデータまたは第4ラッチ手段 (5) から出力されるデータをデ

ータ出力バッファに伝達するデータバス選択部 (6) とを備えている。

【0007】以下、データバス選択部 (6) の構成を説明する。SDRAMのモードレジスタから伝達されるCASレイテンシー制御信号の一つ (LE12) を反転するインバーター (6a) と、そのCASレイテンシー制御信号 (LE12) とインバーター (6a) の信号によって、第3ラッチ手段 (4) の出力をデータ出力バッファに伝達する第1伝送ゲート (6b) と、同様にCASレイテンシー制御信号 (LE12) とインバーター (6a) の信号によって、第4ラッチ手段 (5) から出力されるデータをデータ出力バッファに伝達する第2伝送ゲート (6c) とから構成されている。すなわち、このデータバス選択部 (6) は、CASレイテンシー制御信号 (LE12) がハイのときラッチ (5) のデータを選択し、ローのときラッチ (4) のデータを選択する。

【0008】次に、各ラッチ手段を図3によって説明する。各ラッチ手段 (2、3、4、5) はいずれも同一の構成からなる。これらのラッチ手段は、制御回路部

(1) から出力される制御信号 (con3、con2、con1) のいずれかを反転する第1インバーター (9) と、制御信号 (con3、con2、con1) のいずれかと第1インバーター (9) の出力信号によって、その制御信号が“ロー”の場合、内部データを反転して通過させる第1クロックインバータ (10) と、第1クロックインバータ (10) から出力される信号を反転して出力する第2インバーター (12) と、制御信号 (con3、con2、con1) のいずれかと第1インバーター (9) の出力信号とによって、その制御信号が“ハイ”の場合、第2インバーター (12) から出力されるデータ信号を反転してラッチさせる第2クロックインバータ (11) とを備えている。

【0009】各ラッチ手段のクロックインバータ (10) は図4に示すように、正電圧端 (Vcc) と接地端との間に第1、第2PMOS (13、14) と第1、第2NMOS (15、16) とが直列連結されている。第2PMOS (14) と第1NMOS (15) のゲートがデータ信号の入力端子となり、第2PMOS (14) と第1NMOS (15) との接点が出来端となる。第1PMOS (13) のゲートと第2NMOS (16) のゲートとはA、Bで示される図3の第1インバータ (9) の入力と出力とがそれぞれ入力される。

【0010】このように構成された従来のCASレイテンシー制御回路の動作は下記のとおりである。図5は従来の第1CASレイテンシー動作タイミング図であり、図6は従来の第2CASレイテンシー動作タイミング図であり、図7は従来の第3CASレイテンシー動作タイミング図であり、図8は従来の第4CASレイテンシー動作タイミング図である。まず、SDRAMの読み取り動作時、選択されたバンクの主増幅部 (MA0_i-MA

O_j、MA1_i—MA1_j、MA2_i—MA2_jまたはMA3_i—MA3_j)は、バンク内部のデータを増幅させて各データバス(DATA_i—DATA_j)にデータを出力する。この時、選択されないバンクの主増幅部(MA0_i—MA0_j、MA1_i—MA1_j、MA2_i—MA2_jまたはMA3_i—MA3_j)は、ハイインピーダンスを出力する。

【0011】そして、クロック信号はクロックパッドを介して、外部からQCLKバッファに入力され、QCLKバッファは内部クロックであるQCLKを出力する。このように生成されたQCLKと各データバスを介して伝達されるデータは、それぞれのCASレイテンシー制御回路(CLCC_i—CLCC_j)に入力される。また、各CASレイテンシー制御回路(CLCC_i—CLCC_j)にはSDRAMのCASレイテンシーモードセットアップにより設定され、モードレジスタ(図示せず)から伝達されるCASレイテンシー制御信号(LE2、LE3、LE4、LE12、LE34)が入力される。

【0012】第1、第2CASレイテンシー動作がセッティングされる場合(図5、図6)は、信号(LE12)が“ハイ”に設定され、信号(LE34)は“ロー”に設定される。一方、第3、第4CASレイテンシー動作がセッティングされる場合(図7、図8)は、信号(LE12)が“ロー”に設定され、信号(LE34)は“ハイ”に設定される。

【0013】そして、信号(LE2、LE3、LE4)は第1CASレイテンシー動作では全て“ロー”に設定される。信号(LE2)は第2CASレイテンシーで、信号(LE3)は第3CASレイテンシーで、信号(LE4)は第4CASレイテンシーでそれぞれ“ハイ”に設定される。その他の場合はいずれも“ロー”状態を維持する。制御回路部(1)は、QCLKクロック信号を入力して、制御信号(con1、con2、con3)を出力する。

【0014】各CASレイテンシー動作を以下に説明する。

第1CASレイテンシー動作。

CASレイテンシー制御信号(LE2、LE3、LE4、LE34)は“ロー”で、CASレイテンシー制御信号(LE12)は“ハイ”に設定される。制御回路部(1)はすべて“ロー”である信号(LE2、LE3、LE4)により、図5のように、制御信号(con1、con2、con3)の全てを“ロー”として出力する。信号(LE3)が“ロー”であるので第1ANDゲートが開かず第1、第2、第3ラッチ手段(2、3、4)にはデータが印加されず、第4ラッチ手段(5)のみにデータが伝達される。制御信号(Con1)が“ロー”で信号(LE12)が“ハイ”であるので、第2ANDゲート(8)の出力が“ロー”である。したがっ

て、図4のトランジスタ13、14が共にオンとなり、図3に示すインバータ(10)が入力したデータを反転させ、さらにインバータ(12)で反転させるので、第4ラッチ手段(5)は、データをパスさせる。また信号(LE12)が“ハイ”であるので、データバス選択部(6)では第4ラッチ手段(5)から出力されるデータをデータ出力バッファに出力する。従って、リードコマンドから1サイクル内にデータが出力される。

【0015】第2CASレイテンシー動作。

CASレイテンシー制御信号(LE2、LE12)は“ハイ”、CASレイテンシー制御信号(LE3、LE4、LE34)は“ロー”に設定される。図6のとおり、リードコマンドが入力されて1クロック後にQCLK信号が発生される。そして、制御回路部(1)は、入力されるクロック信号(QCLK1)を反転した信号を制御信号(con1)として出力し、制御信号(con3、con2)はLE2、LE3、LE4により“ロー”状態を維持させる。なお、図(図2も同様である)における“d”はその信号の遅延した信号であることを示している。信号(LE12)が“ハイ”であるので、第1CASレイテンシー動作でのように第4ラッチ手段(5)が選択される。この時、第4ラッチ手段(5)に伝達されたデータは、制御信号(con1)が“ロー”の区間でデータを出力し、制御信号(con1)が“ハイ”区間では更に“ロー”となる時までデータを1サイクルラッチする。結局、リードコマンドから1サイクル後に制御信号(con1)がイネーブルされるので、2サイクル内にSDRAMからデータが出力される。

【0016】第3CASレイテンシー動作。

第3CASレイテンシー動作の場合は、CASレイテンシー制御信号(LE34、LE3)が“ハイ”となり、CASレイテンシー制御信号(LE12、LE2、LE4)は“ロー”となる。信号(LE12)が“ロー”であるので、第2ANDゲート(8)が開くことなく、データバス選択部(6)の第2伝送ゲート(6c)はオフされ、第1伝送ゲート(6b)がイネーブルされる。信号(LE34)が“ハイ”であるので、第1、第2、第3ラッチ手段(2、3、4)がイネーブルされる。制御回路部(1)は、信号(LE2、LE3、LE4)により制御信号(con3)を“ロー”に維持し、con1及びcon2を“ハイ”に維持する。さらに、ロック信号(QCLK)の最初の上昇エッジで、制御信号(con1)を“ハイ”から“ロー”に遷移させ、一定時間後“ハイ”に戻る。同時に、クロック信号(QCLK)の最初の下降エッジで制御信号(con2)を“ハイ”から“ロー”に遷移させ、一定時間後に“ハイ”に戻る。

【0017】このように制御信号(con1、con2)は、クロック信号(QCLK)の2番目以降のパルスに応答して前記のような過程を繰り返す。従って、制御信号(con3)が“ロー”パルスを維持して

いるので、図3、4から理解されるように、データはラッチ手段(2)を通過して第2ラッチ手段(3)に伝達される。制御信号($con2$)が“ロー”に遷移された時、データは第2ラッチ手段(3)を通過して第3ラッチ手段(4)に伝達される。この時、制御信号($con2$)が更に“ハイ”に遷移されるので、第2ラッチ手段(3)は第3ラッチ手段(4)に伝達されたデータを、制御信号($con2$)が更に“ロー”に遷移する時までラッチしている。そして、制御信号($con1$)が2番目に“ロー”に遷移すると、第3ラッチ手段(4)はデータをデータ出力バッファ側に出し、更に制御信号($con1$)が“ハイ”に遷移すると、データをラッチして次のサイクルまで維持する。結局、リードコマンドから3サイクル内にデータを外部に出力する。

【0018】第4CASレイテンシーの動作。

第4CASレイテンシー動作の場合、第3CASレイテンシー動作でのように、第1、第2、第3ラッチ手段(2、3、4)とデータバス選択部(6)の第1伝送ポート(6b)をイネーブルされるようにCASレイテンシー制御信号($LE34$ 、 $LE4$)を“ハイ”に設定し、図8に示すように、制御回路部(1)が制御信号($con1$ 、 $con2$ 、 $con3$)を出力させる。従って、該当制御信号が“ロー”に遷移する時、第1ラッチ手段(2)がラッチされたデータを第2ラッチ手段(3)に伝達し、第2ラッチ手段(3)は第3ラッチ手段(4)に伝達し、第3ラッチ手段(4)はデータ出力バッファに出力する。そして該当制御信号が“ロー”から“ハイ”に遷移するとデータをラッチする。従って、リードコマンドから4サイクル内にデータを出力する。

【0019】

【発明が解決しようとする課題】上記した従来のSDRAMにおいては、下記のような問題点があった。従来のSDRAMは、各CASレイテンシー制御回路が各DQブロックに対応してチップの右側に配置されているので、クロックバッファの近くに配置されたCASレイテンシー制御回路(CLCC)と遠くに配置されたCASレイテンシー制御回路(CLCC)と間にQCLKのスキューが発生する。また、第1、第2バンク(BANK0、BANK1)のデータを読み取る時のデータ速度と、第3、第4バンク(BANK2、BANK3)のデータを読み取る時のデータ速度と間のスキューが大きくなる。すなわち、図9は従来のCASレイテンシー動作のQCLK及びデータのスキューがない場合のデータ出力タイミング図であり、図10は従来のCASレイテンシー動作のQCLK及びデータのスキューがある場合のデータ出力タイミング図である。図9及び図10において、 t_{CK} はクロックサイクルであり、 t_S はCASレイテンシーラッチセットアップ時間であり、 t_H はCASレイテンシーホールド時間である。そして $skew1$ は各CASレイテンシー制御回路のクロックスキューで

あり、 $skew2$ はバンク別のデータスキューである。即ち、QCLK及びデータスキューがない場合は、CASレイテンシー動作のラッチマージンがよいが、QCLK及びデータのスキューがある場合は、CASレイテンシー動作のマージン(t_S 、 t_H)が悪くなり、更に周波数が高いほどクロックサイクルが短くなるので、QCLK及びデータのスキューによる影響が大きくなって、高周波動作が難しくなる。本発明は、このような問題点を解決するために案出したもので、各CASレイテンシー制御回路に伝達されるQCLK及びデータのスキューを最小化したSDRAMチップを提供することが目的である。

【0020】

【課題を解決するための手段】前記のような目的を達成するための本発明のSDRAMチップは複数のバンクを備え、各バンクにそれぞれ配列される n 個の主増幅部と、複数のバンクのそれぞれの主増幅部どうしを連結するように接続された n ビットデータバスと、各データバスに1対1に対応されて、データバスの長手方向の中間(中心)部分に集中的に配置した n 個のCASレイテンシー制御回路と、各CASレイテンシー制御回路の出力に相互に異なる長さで連結配置される n 個のDQブロックと、各CASレイテンシー制御回路にクロック信号を印加するクロックバッファとを有することを特徴とする。

【0021】

【発明の実施の形態】前記のような本発明のSDRAMチップの配置を添付図面を参照してより詳細に説明する。図11は、本発明第1実施形態のSDRAMチップの配置図であり、図12は本発明実施形態に配置されたCASレイテンシー制御回路の構成図であり、図13は本発明のラッチ手段の詳細回路図である。図11は第1ないし第4の4個のバンク(BANK0、BANK1、BANK2、BANK3)構造を有する本発明のSDRAMを示したもので、各バンクには、従来同様それぞれ n 個の2次増幅回路である主増幅部($MA0i-MA0j$ 、 $MA1i-MA1j$ 、 $MA2i-MA2j$ 、 $MA3i-MA3j$)が配列されている。もちろん、バンクの数は4個に限るものではない。より多くても少なくともよい。

【0022】 n ビットのデータバスは第1、第3バンクと第2、第4バンクとにバンクを二分した間に配列されている。各バンクのそれぞれの主増幅部($MA0i-MA0j$ 、 $MA1i-MA1j$ 、 $MA2i-MA2j$ 、 $MA3i-MA3j$)は、それぞれの添え字と同じ添え字で示されたデータバス($DATAi-DATAj$)に接続されている。入出力ピンの位置が定められているので、それぞれデータ出力バッファと入出力パッドとを含んでいる n 個のDQブロック($DQi-DQj$)は、従来同様それぞれ特定の位置に配置される。しかし、各デ

ータバスに1対1対応して配置される n 個のCASレイテンシー制御回路(CLCC i -CLCC j)は、従来のように分散させられずに、一つにまとめられデータバスの中央の部分、すなわち長手方向の中心部分に集中的に配置されている。データバスは、第1、第3バンクの並びと第2、第4バンクの並びと間に配置され、 i 番目のCASレイテンシー制御回路が i 番目のデータバスを共有するようにデータバスにそれぞれ接続されている。そして、一緒にまとめられたCASレイテンシー回路が4つのバンクの互いに隣接した間に集中して、それぞれのバンクからほぼ等しい位置に配置されている。言い方を替えるとデータバスを配置するために二分されたバンクの二分方向とは直交する方向にバンクを二分した間に配置される。したがって、各CASレイテンシー制御回路(CLCC i -CLCC j)の出力はそれぞれ位置が定めれているDQブロック(DQ i -DQ j)に相互に異なる長さで連結されることになる。上記において、 i 番目のCASレイテンシー制御回路はそれぞれのバンクの i 番目の主増幅部から同じ距離になるようにすることが望ましい。

【0023】そして、前記のCASレイテンシー制御回路(CLCC i -CLCC j)にクロック信号を印加するためのQCLKバッファ(QCLK buffer)がクロックパッド(Clock pad)に隣接した所に配置され、クロック信号(QCLK)の連結ラインは、各CASレイテンシー制御回路(CLCC i -CLCC j)に連結される。

【0024】このように配置される本発明のCASレイテンシー制御回路の構成を図12に示す。データ出力を調整するクロック信号(QCLK)とSDRAMのモードレジスタ(図示せず)から伝達されるCASレイテンシー制御信号(LE2、LE3、LE4)とを入力して、それぞれのラッチ手段を制御する制御信号(con1、con2、con3)を出力する制御回路部(21)と、SDRAMのモードレジスタから伝達されるCASレイテンシー制御信号の一つ(LE34)とSDRAMのデータとを論理演算して出力するANDゲート(25)と、制御回路部(21)の制御信号の一つ(con3)によって、ANDゲート(25)から出力されるデータを出力またはラッチする第1ラッチ手段(22)と、SDRAMモードレジスタから伝達されるCASレイテンシー制御信号の他の一つ(LE12)とSDRAMのデータとを論理演算して出力するNANDゲート(26)と、制御回路部(21)の制御信号(con2)によって、第1ラッチ手段(22)から出力されるデータを出力またはラッチするかまたは、NANDゲートから(26)出力されるデータを出力またはラッチする選択ラッチ手段(23)と、制御回路部(21)の制御信号(con1)によって、選択ラッチ手段(23)から出力されるデータをデータ出力バッファに出力する

からラッチする第2ラッチ手段(24)とから構成される。

【0025】上記した選択ラッチ手段(23)の構成を図13に示す。この回路は、制御回路部(21)の制御信号(con2)を反転出力するインバーター(27)と、インバーター(27)の出力信号と制御信号(con2)とによって、第1ラッチ手段(22)から出力されるデータ(D1)を反転して通過させるかまたは遮断させる第1クロックインバータ(28)と、第1クロックインバータ(28)から出力されるデータとNANDゲート(26)から出力されるデータ(D2)とを論理演算してデータ出力バッファに出力するNANDゲート(30)と、インバーター(27)の出力信号と制御信号(con2)とによって、NANDゲート(30)から出力されるデータを反転してラッチさせる第2クロックインバータ(29)とから構成されている。

【0026】このように構成された本実施形態のCASレイテンシー制御回路の動作は下記のとおりである。第1、第2、第3、第4CASレイテンシー動作に対する制御回路部(21)の制御信号(con1、con2、con3)及びSDRAMのモードレジスタから伝達されるCASレイテンシー制御信号(LE2、LE3、LE4、LE12、LE34)は従来と同一である。第1、第2CASレイテンシー動作では、信号(LE12)がハイであるのでデータがNANDゲート(26)を介して選択ラッチ手段(23)の入力端(D2)に伝達され、第3、第4CASレイテンシー動作では信号(LE12)がローであるので前記の通路がディスエーブルされる。

【0027】第1CASレイテンシー動作。信号(LE2、LE3、LE4、LE34)は“ロー”となり、信号(LE12)は“ハイ”となるので、制御回路部(21)はLE2、LE3、LE4により制御信号(con1、con2、con3)の全てを“ロー”にし、ANDゲート(25)はデータに関係なく“ロー”信号を出力する。従って、SDRAM内部のデータは、NANDゲート(26)により反転されて、選択ラッチ手段(23)と第2ラッチ手段(24)を経てデータ出力バッファに出力される。

【0028】第2CASレイテンシー動作。モードレジスタのCASレイテンシー制御信号(LE2、LE12)は“ハイ”、CASレイテンシー制御信号(LE3、LE4、LE34)は“ロー”に設定され、リードコマンドが入力されて、1クロック後にQCLK信号が発生する。そして、制御回路部(21)は、入力されるクロック信号(QCLK)を反転した信号を制御信号(con1)に出力し、制御信号(con3、con2)は“ロー”状態を維持する。従って、信号(LE34)が“ロー”であり信号(LE12)が“ハイ”であるので、第1CASレイテンシー動作でのよう

に、SDRAMのデータは選択ラッチ手段(23)と第2ラッチ手段(24)とを介して出力される。この時、第2ラッチ手段(24)に伝達されたデータは、制御信号(con1)が“ロー”の区間でデータを出力し、制御信号(con1)が“ハイ”の区間では更に“ロー”となる時までデータを1サイクルラッチする。結局、リードコマンドから1サイクル後に制御信号(con1)がイネーブルされるので、2サイクル内にSDRAMからデータが出力される。

【0029】第3CASレイテンシー動作。

第3CASレイテンシー動作の場合は、CASレイテンシー制御信号(LE34、LE3)は“ハイ”となり、CASレイテンシー制御信号(LE12、LE2、LE4)は“ロー”となる。従って、信号(LE12)が“ロー”であるのでNANDゲート(26)はオフされ、信号(LE34)が“ハイ”であるので第1、第2ラッチ手段(22、24)及び選択ラッチ手段(23)のD1端がイネーブルされる。制御回路部(21)は、入力される信号(LE2、LE3、LE4)により制御信号(con3)を“ロー”に維持し、制御信号(con1、con2)を“ハイ”に維持する。con3信号はローのままであるが、con1信号は、クロック信号(QCLK)の最初の上昇エッジ後“ハイ”から“ロー”に遷移し、一定時間後に“ロー”から“ハイ”に遷移する。con2信号はクロック信号(QCLK)の最初の下降エッジで“ハイ”から“ロー”に遷移し、一定時間後に“ロー”から“ハイ”に遷移する。

【0030】制御信号(con1、con2)は、クロック信号(QCLK)の2番目以降のパルスで前記のような過程を繰り返して繰り返す。制御信号(con3)が“ロー”パルスを維持しているため、データは第1ラッチ手段(22)を通過して選択ラッチ手段(23)のD1端に伝達され、制御信号(con2)が“ロー”に遷移される時、データは選択ラッチ手段(23)を通過して第2ラッチ手段(24)に伝達される。この時、制御信号(con2)が“ハイ”に遷移するので、選択ラッチ手段(23)は第2ラッチ手段(24)に伝達されたデータを、制御信号(con2)が更に“ロー”に遷移する時までラッチしている。制御信号(con1)が2度目の“ロー”に遷移すると、第2ラッチ手段(24)はデータをデータ出力バッファ側に出力し、制御信号(con1)が“ハイ”に遷移すると、データを次に“ロー”に遷移する時までラッチして次のサイクルまで維持する。

【0031】第4CASレイテンシーの動作。

第4CASレイテンシー動作の場合は、第3CASレイテンシー動作でのように、第1、第2ラッチ手段(22、24)と選択ラッチ手段(23)のD1端をイネーブルされるようにCASレイテンシー制御信号(LE34、LE4)を“ハイ”に設定する。制御回路部(2

1)が制御信号(con1、con2、con3)を図8で説明したように出力する。該当する制御信号が“ロー”に遷移する時、第1ラッチ手段(22)がラッチされたデータを選択ラッチ手段(23)のD1端に伝達し、更に選択ラッチ手段(23)は第2ラッチ手段(24)に伝達し、第2ラッチ手段(24)はデータ出力バッファに出力する。また該当制御信号が“ロー”から“ハイ”に遷移するとデータをラッチする。

【0032】

【発明の効果】本発明ではCASレイテンシー制御回路をチップの中央に集中的に配置するので、CASレイテンシー制御回路間のクロック(QCLK)のスキューを除去することができ、したがって、バンク間のデータスキューも減少させ得る。また、前記のように本発明ではクロック及びデータのスキューを減少させることができるので、高周波数で動作するSDRAMで動作マージンを向上させることができる。さらに、本発明CASレイテンシー制御回路は、回路構成が簡単となり、かつ出力駆動容量が強化される。

【図面の簡単な説明】

【図1】 従来SDRAMのCASレイテンシー制御回路の配置図、

【図2】 従来のCASレイテンシー制御回路の詳細構成図、

【図3】 図2のラッチ手段の構成図、

【図4】 図3のクロックインバータの構成図、

【図5】 第1CASレイテンシー動作タイミング図、

【図6】 第2CASレイテンシー動作タイミング図、

【図7】 第3CASレイテンシー動作タイミング図、

【図8】 第4CASレイテンシー動作タイミング図、

【図9】 従来のCASレイテンシー動作のQCLK及びデータのスキューがない場合のデータ出力タイミング図、

【図10】 従来のCASレイテンシー動作のQCLK及びデータのスキューがある場合のデータ出力タイミング図、

【図11】 本発明実施形態のSDRAMでのCASレイテンシー制御回路の配置図、

【図12】 本発明実施形態のCASレイテンシー制御回路の構成図、

【図13】 本発明のラッチ手段の詳細回路図である。

【符号の説明】

21：制御回路部

22、24：ラッチ手段

23：選択ラッチ手段

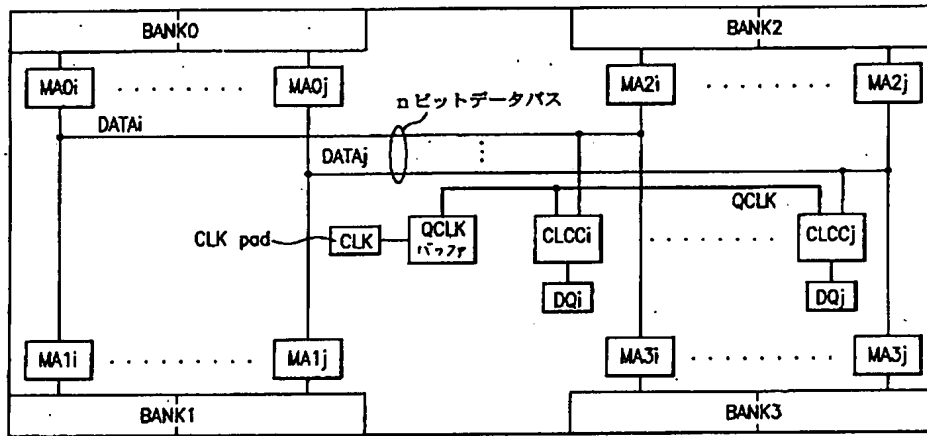
25：ANDゲート

26、30：NANDゲート

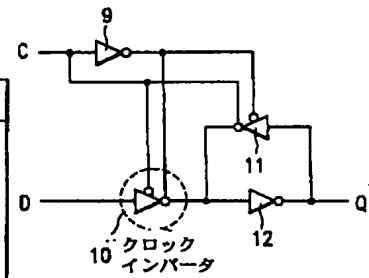
27：インバーター

28、29：クロックインバータ

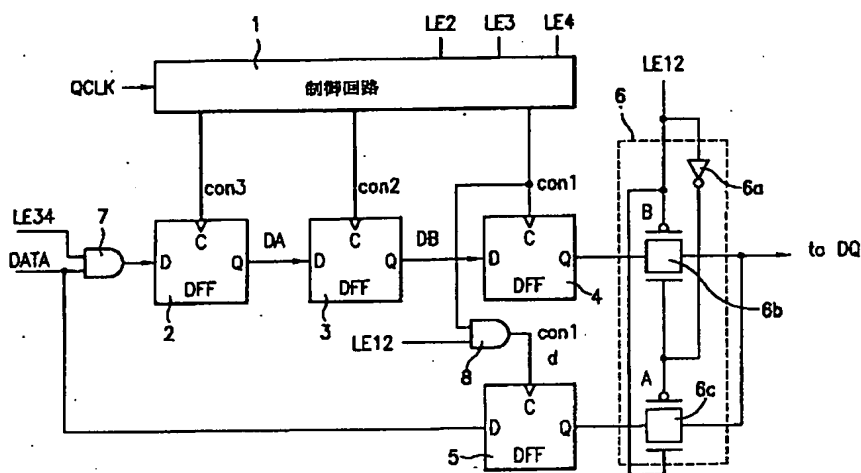
【図1】



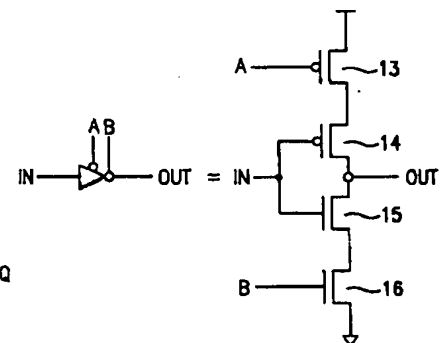
【図3】



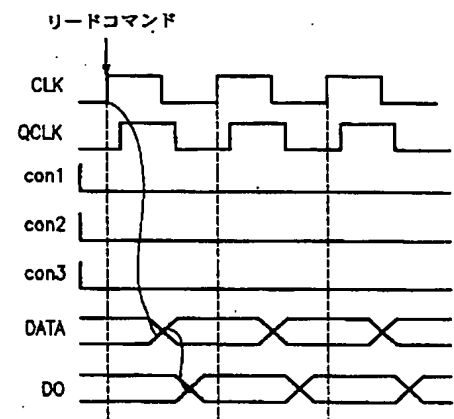
【図2】



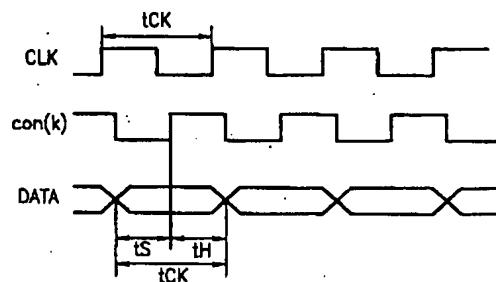
【図4】



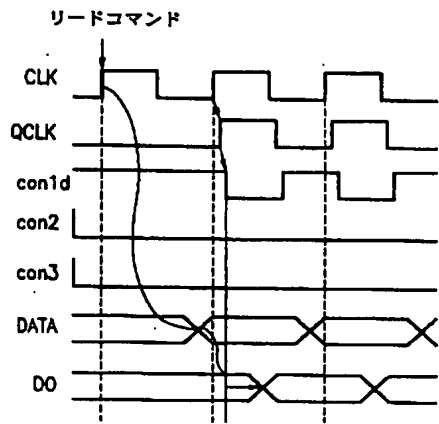
【図5】



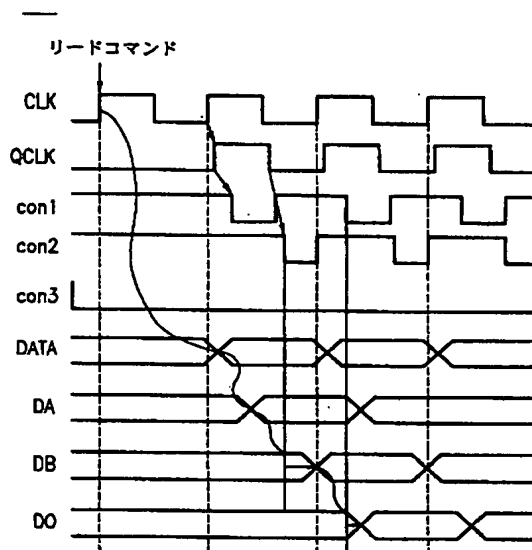
【図9】



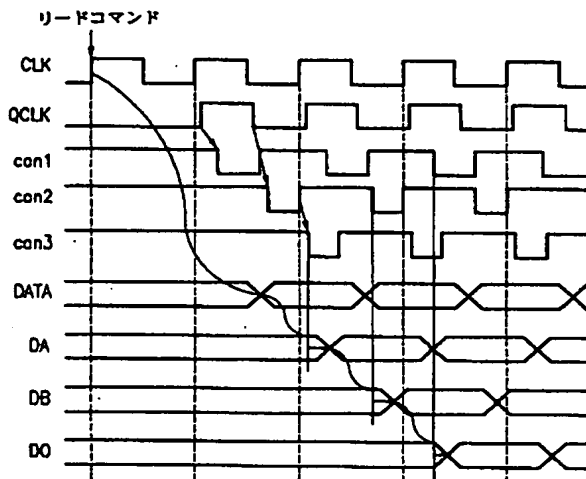
【図 6】



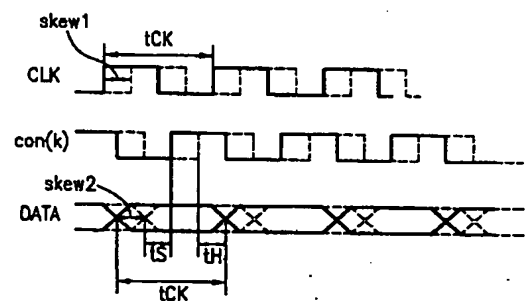
【図 7】



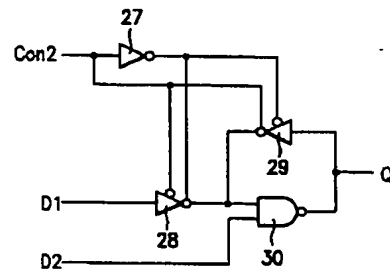
【図 8】



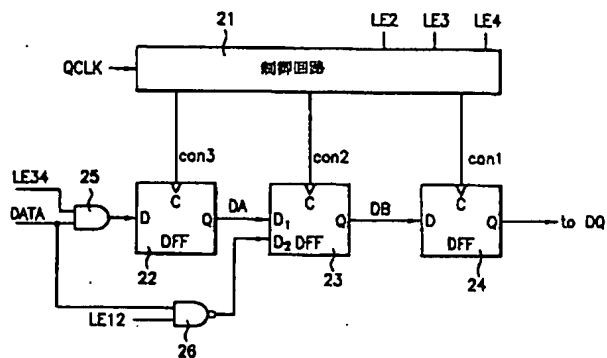
【図 10】



【図 13】



【図 12】



【図11】

